

16 位乘法器的加法实现

1 功能描述

设计背景：

在 FPGA 设计中，我们需要考虑到资源与速度的问题，同样一个功能我们可以用较少的资源去实现，也可以用较多的资源去实现，FPGA 设计工程师在设计当中应当在满足系统速度要求的前提先采取更节省自愿的额设计方法。在 FPGA 资源当中，乘法器的运行速度比加法器要慢很多，假如在设计当中用到了乘法器，而该乘法器所在路径刚好成为了关键路径，那么我们提高速度的方法就是把乘法器转化成加法来实现，本例程就是实现这样的功能。

本模块实现如下功能：

- a. ina 和 inb 是被乘数和乘数的输入端口，把要做乘法运算的两个 16bit 数据由此输入；
- b. start 信号是乘法运算触发信号，输入一个脉冲触发运算；
- c. 运算结果由 out 端口输出；
- d. vld 标志最终运算结果，在 vld 有效的同时 out 是当前乘法器运算结果；
- e. 用加法器代替了乘法器，比如： $3'b011 * 2'b10 = (3'b011 * 1'b0) + (\{3'b011, 1'b0\} * 1'b1)$ ；
- f. 用移位寄存器和选择器得到每一步相加的数。如果乘数是 16 位，那就是 16 个数相加。

2 信号列表

信号名	I/O	位宽	说明
clk	I	1	50MHz 的工作时钟，
rst_n	I	1	系统复位信号，低电平有效。
start	I	1	运算信号，高电平有效。当 start=1 后，此时模块开始进行乘法运算，直到 vld=1。在此期间，start 必须为 0，并且 ina 和 inb 保持不变
ina	I	16	16 位的被乘数
inb	I	16	16 位的乘数
out	O	32	32 位的计算结果
vld	O	1	输出有效信号，高电平有效