



明德扬  
科技·教育

# 点拨 · FPGA之 参数化统计模块练习思路



点透学习误区 拨出设计精髓

主 讲：潘文明

# 明德扬科教



**QQ群: 97925396**

**官 网: <http://www.mdy-edu.com>**

**淘 宝: <http://mdy-edu.taobao.com>**

# 一、功能要求

## 一、功能简述

统计模块，对输入的信号进行统计，并输出统计值。统计值每四比特为一组，分别表示个、十、百、千等位，位数可通过 NUM 来指定。例如 NUM=1 时，表示统计值只有个位；当 NUM=2 时，表示统计值有个位和十位，依此类推。

模块不准用除法和求余。

## 二、信号列表

信号名	I/O	位宽	说明
clk	I	1	系统工作时钟 50MHz。
rst_n	I	1	系统复位信号，低电平有效。
din_vld	I	1	输入信号，当模块检测到此信号为 1 时，统计值加 1。
dout	O	4*NUM	统计值，当 dout_vld 有效时，此信号有效。每四比特为一组，分别表示个、十、百、千等位，位数根据根据 NUM 指定。 dout[3:0]表示个位 dout[7:4]表示十位，依此类推。
dout_vld	O	1	统计值输出有效指示信号。当统计值有变化时，就输出新的统计值。

## 二、设计思路

1. 与计数器练习中数字时钟的功能类似，同样未使用除法
2. 异同：参数化实现，支持NUM任意数(除0外)

```
assign flag_1s = counter==COUNT_TIME-1;
assign flag_10s = flag_1s && sec_low ==9;
assign flag_1m = flag_10s && sec_high==5;
assign flag_10m = flag_1m && min_low ==9;
assign flag_1h = flag_10m && min_high==5;
assign flag_10h = flag_1h && hour_low==9;
```

```
always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        sec_low <= 0;
    end
    else if(flag_1s) begin
        if(sec_low==9)
            sec_low <= 0;
        else
            sec_low <= sec_low + 1;
    end
end
```

```
always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        sec_high <= 0;
    end
    else if(flag_10s) begin
        if(sec_high==5)
            sec_high <= 0;
        else
            sec_high <= sec_high + 1;
    end
end
```

## 二、设计思路

1. 与计数器练习中数字时钟的功能类似，同样未使用除法
2. 异同：参数化实现，支持NUM任意数(除0外)

```
assign flag_1s = counter==COUNT_TIME-1;  
assign flag_10s = flag_1s && sec_low ==9;  
assign flag_1m = flag_10s && sec_high==5;  
assign flag_10m = flag_1m && min_low ==9;  
assign flag_1h = flag_10m && min_high==5;  
assign flag_10h = flag_1h && hour_low==9;
```

```
if(ii==0)  
    assign add_1_flag[ii] = din_vld;  
else  
    assign add_1_flag[ii] = (add_1_flag[ii-1] && temp[ii-1]==9);
```

```
assign temp[ii] = dout[(ii+1)*4-1 -:4];
```

## 二、设计思路

1. 与计数器练习中数字时钟的功能类似，同样未使用除法
2. 异同：参数化实现，支持NUM任意数(除0外)

```
always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        sec_low <= 0;
    end
    else if(flag_1s) begin
        if(sec_low==9)
            sec_low <= 0;
        else
            sec_low <= sec_low + 1;
        end
    end
end

always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        sec_high <= 0;
    end
    else if(flag_10s) begin
        if(sec_high==5)
            sec_high <= 0;
        else
            sec_high <= sec_high + 1;
        end
    end
end
```

### 1. 有NUM个always

```
always @(posedge clk or negedge rst_n)begin
    if(rst_n==1'b0)begin
        dout <= 0;
    end
    else begin
        dout <= dout_temp;
    end
end
```

```
assign dout_temp[(ii+1)*4-1 -:4] = (add_1_flag[ii])?((temp[ii]==9)?0:(temp[ii]+1)):temp[ii];
```

# 明德扬科教



**QQ群: 97925396**

**官 网: <http://www.mdy-edu.com>**

**淘 宝: <http://mdy-edu.taobao.com>**



# Thank You !

