

明德扬科技教育有限公司

CRC 练习之并行实现思路

官 网: www.mdy-edu.com

淘 宝: mdy-edu.taobao.com

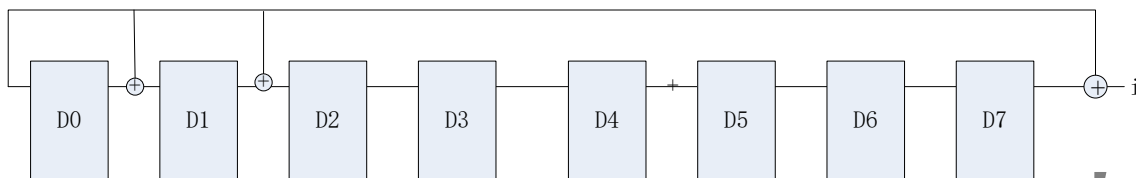
QQ 群: 97925396

QQ 咨询: 158063679

一、练习内容及要求

实现并行 CRC8 模块的设计，生成多项式 $g(x)=x^8+x^2+x+1$ ，每次可输入 4 位数据。该模块包括清零功能。

根据 CRC 串行实现的原理，下面是其电路结构图（省略了有效信号和清零信号）



一次输入 4 位数据，其运算过程如下：

	D7	D6	D5	D4	D3	D2	D1	D0
i3	D6	D5	D4	D3	D2	D1D7i3	D0D7i3	D7i3
i2	D5	D4	D3	D2	D1D7i3	D0D7i3D6i2	D7i3D6i2	D6i2
i1	D4	D3	D2	D1D7i3	D0D7i3D6i2	D7i3D6i2D5i1	D6i2D5i1	D5i1
i0	D3	D2	D1D7i3	D0D7i3D6i2	D7i3D6i2D5i1	D6i2D5i1D4i0	D5i1D4i0	D4i0

二、信号列表

信号名	I/O	位宽	说明
clk	I	1	时钟，100M
rst_n	I	1	复位信号
din	I	4	输入数据
din_vld	I	1	输入数据有效指示信号。
clr	I	1	清零命令，最高优先级，即此命令有效时，din_vld 无效。
dout	O	8	CRC 检验位输出
dout_vld	O	1	CRC 检验位有效指示信号。当输入有效时，要求 dout_vld 下一拍就输出结果。

三、学习建议

- 按照功能要求，思考、设计出代码，并用 modelsim 仿真。
- 学习配套的设计思路视频，找出自己思路的异同，选择较好的思路

- 3、按照最新的设计思路，再实现一次。

明德扬点拔FPGA课程