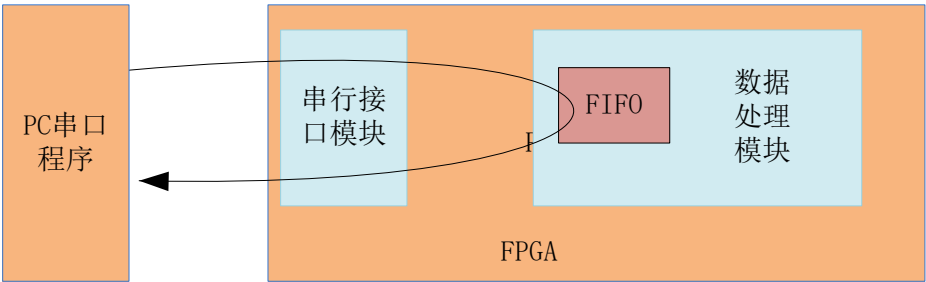


一、 练习内容及要求

本练习实现串口环回功能。



其具体功能如下：

- FPGA 内部有一个可保存 128 字节的 FIFO；
- FPGA 从上位机接收到数据后，将数据保存到 FIFO 中；
- 当 FIFO 保存的数据超过 60 个数据时，启动发送数据操作：读取 FIFO 的数据，将数据返回给上位机。
- 在启动发送数据操作过程中，如果 FIFO 变空，结束发送操作，等待下一次的启动。
- 注意：上位机接收到的数据与发送的数据相同，不能多也不能少。

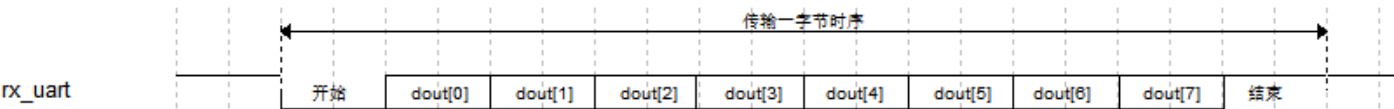
该串行接口的参数如下：

波特率：9600；无校验位。数据位：8 位；停止位：1 位；按十六进制发送接收。

二、 接收模块信号列表

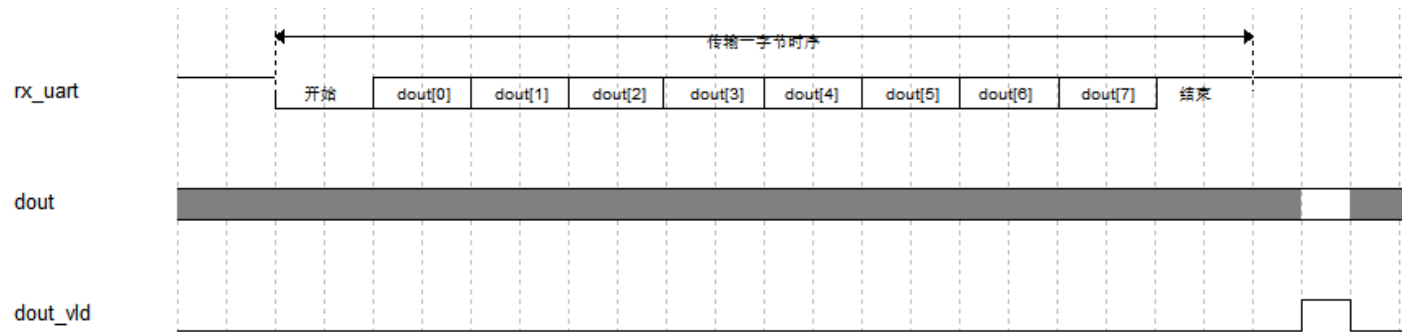
信号名	I/O	位宽	说明
clk	I	1	时钟，50M
rst_n	I	1	复位信号
rx_uart	I	1	串行接口的输入信号
dout	O	8	接收到的数据
dout_vld	O	1	接收到的数据有效指示信号

rx_uart 与 PC 连接的串口线，其时序如下图：



注意，波特率为 9600。

doutt 和 dout_vld 是从串口接收到的数据和提示信号。上面的时序每出现一次，本模块就开始接收，接收到的数据保存到 dout 当中。当完全接收到一个字节后，dout_vld 产生一个高电平来指示。其时序如下图。

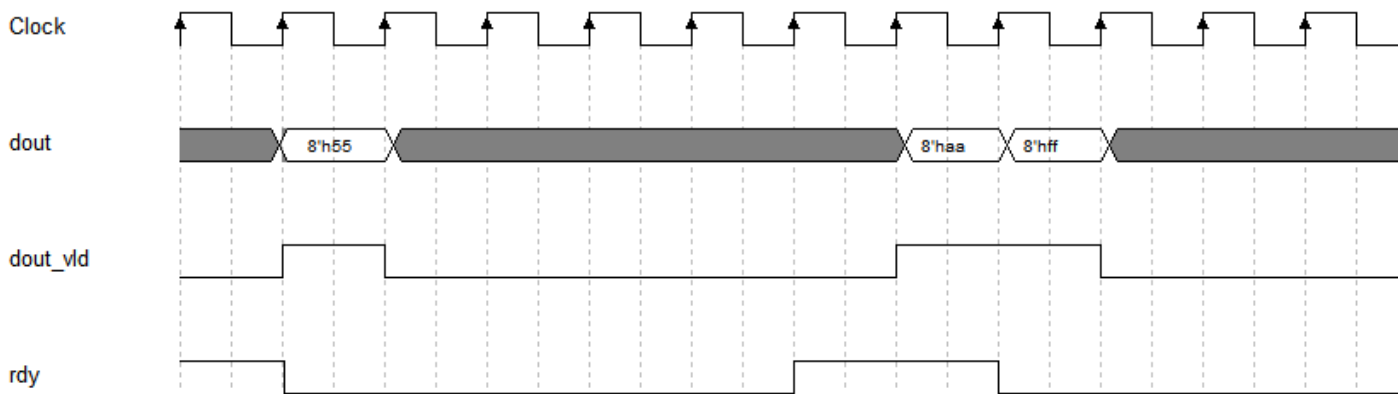


要注意：dout_vld 高电平仅是一个时钟周期（20ns）。下游模块检测这个信号，每看到其为 1，就表示收到了一个字节数据。

三、 处理模块信号列表

信号名	I/O	位宽	说明
clk	I	1	时钟，50M
rst_n	I	1	复位信号
din	I	8	从串口接收模块收到的数据
din_vld	I	1	从串口接收模块收到的数据有效指示信号
dout	O	8	发送给串口发送模块的数据
dout_vld	O	1	发送给串口发送模块的数据有效指示信号
rdy	I	1	串口发送模块准备好信号

din 和 din_vld 就是从串口模块接收到的字节数据，本模块要将其保存到 FIFO 当中。当内部 FIFO 的个数保存超过 60 个时，开始将其输出到串口发送模块。但需要注意，只有 rdy==1，即发送模块准备好时，才能发送。其正确的时序如下：



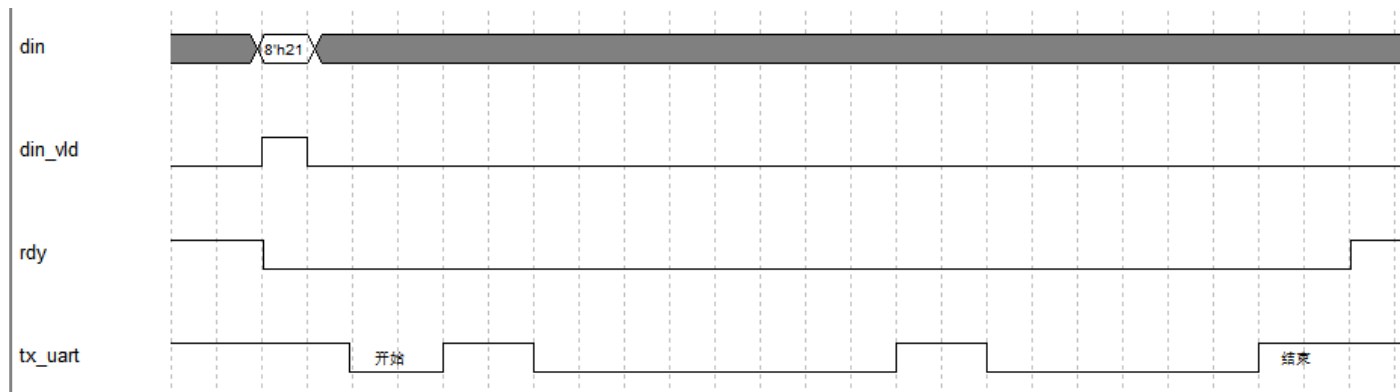
在时钟沿前，看到 rdy 等于 1 时，上升沿后 dout_vld 可为 1，表示发送。本模块只要遵守此规则就可以了。如果不遵守此规则，肯定是本模块问题，如果遵守了此规则，但仍然有错，都不是本模块问题。

另外，本模块用到了 FIFO，FIFO 也可能会出错的，但都是使用 FIFO 的错误。做本题前，请先看 FIFO 原理视频；如果 FIFO 输出不正确，请确认 FIFO 模式是否正确，读写时序是否正确。

四、 发送模块信号列表

信号名	I/O	位宽	说明
clk	I	1	时钟，50M
rst_n	I	1	复位信号
din	I	8	从处理模块收到的数据
din_vld	I	1	从处理模块收到的数据有效指示信号
tx_uart	O	1	串行接口的输出信号
rdy	O	1	本模块准备好指示信号

本模块的时序如下图所示。



模块收到 din_vld 有效时，就将对应的值(如 8'h12)，按照串口时序发送给 PC。在忙碌期间，rdy

必须为 0，要求上游模块不要发数据过来。尤其要注意几点：

1. rdy 见到 din_vld 等于 1 时，必须立刻变低，不要等下一拍。只有这样，才能实现：一个字节一个字节发送数据的目的。

2. 在处理数据期间，rdy 要一直为 0。

3. 要发送的数据，仅仅是 din_vld=1 所对应的数据，其他时候数据都不关心。