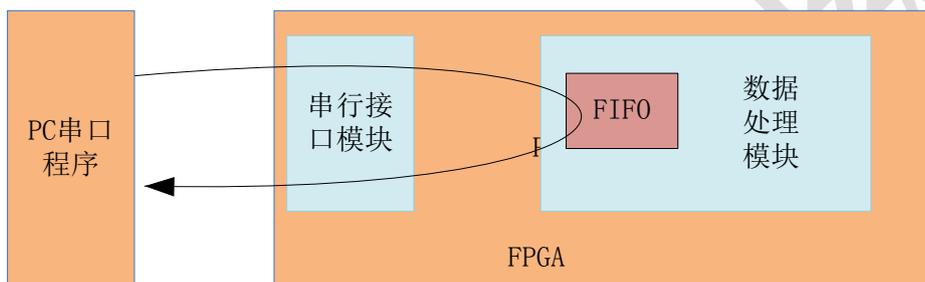


# 串口的 FIFO 缓存环回功能练习说明

## 一、 练习内容及要求

本练习实现串口环回功能。



其具体功能如下：

- FPGA 内部有一个可保存 128 字节的 FIFO；
- FPGA 从上位机接收到数据后，将数据保存到 FIFO 中；
- 当 FIFO 保存的数据超过 60 个数据时，启动发送数据操作：读取 FIFO 的数据，将数据返回给上位机。
- 在启动发送数据操作过程中，如果 FIFO 变空，结束发送操作，等待下一次的启动。
- 注意：上位机接收到的数据与发送的数据相同，不能多也不能少。

该串行接口的参数如下：

波特率：9600；无校验位。数据位：8 位；停止位：1 位；按十六进制发送接收。

## 二、 信号列表

信号名	I/O	位宽	说明
clk	I	1	时钟，50M
rst_n	I	1	复位信号
rx_uart	I	1	串行接口的输入信号

tx_uart	0	1	串行接口的输出信号
---------	---	---	-----------

### 三、学习建议

- 1、按照功能要求，思考、设计出代码并上板验证。
- 2、学习配套的设计思路视频，找出自己思路的异同，选择较好的思路
- 3、按照最新的设计思路，再实现一次