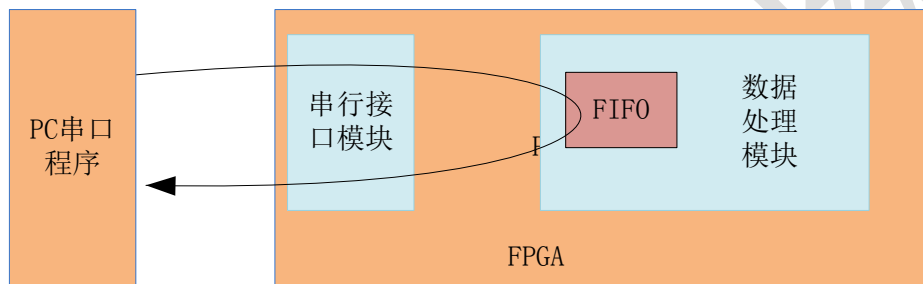


串口的 FIFO 缓存环回功能练习思路

一、练习内容及要求

本练习实现串口环回功能。



其具体功能如下：

- FPGA 内部有一个可保存 128 字节的 FIFO；
- FPGA 从上位机接收到数据后，将数据保存到 FIFO 中；
- 当 FIFO 保存的数据超过 60 个数据时，启动发送数据操作：读取 FIFO 的数据，将数据返回给上位机。
- 在启动发送数据操作过程中，如果 FIFO 变空，结束发送操作，等待下一次的启动。
- 注意：上位机接收到的数据与发送的数据相同，不能多也不能少。

该串行接口的参数如下：

波特率：9600；无校验位。数据位：8 位；停止位：1 位；按十六进制发送接收。

二、设计思路

1. 接口模块思路过程

接口模块设计思路，在串口接口练习 1 思路中已经有详细的说明。

2. 数据处理模块思路过程

生成 IP 核：位宽是 8 比特、深度 128 字节的 FIFO，根据需要可选用 ahead 模式，本例是选用 ahead

模式，如果数据不正确，要检查是否模式匹配问题。

FIFO 写数据：写数据来自于串口模块过来的数据，因此将串口模块过来的信号相连，即数据连到 FIFO 的 data 信号、数据有效指示连到 wrreq 信号。

如何知道 FIFO 保存了多少数据？

本练习要求当 FIFO 数据大于 60 时，开始读数据。我们可以用 usedw 来知道保存到 FIFO 中的数据有多少。

何时启动读和何时结束读？

练习要求是当数据大于 60 时启动读，一直读空为止。要注意的是，这不是说 FIFO 保存的数据大于 60 时就读，小于 60 时就不读。

可以假设信号 rd_flag，当其为 1 时表示启动了读操作。则其由 0 变成 1 的条件是：
`rd_flag==0&&usedw>=60`；而其由 1 变成 0 的条件是：`rd_flag==1 &&empty==1'b1`。其他情况不变。

rdreq 信号

当启动读操作后，就可以读取数据给串口模块。特别需要注意的是：串口模块通过 rdy 信号来指示能不能发数据过来。如果本模块不管 rdy 信号，那么肯定会丢数据。

所以 rdreq 信号为 1 的条件是：`rd_flag==1 &&rdy==1'b1 &&empty==1'b0`。还要注意：此处要用组合逻辑，不能用时序逻辑。（为什么？可以尝试一下，看结果有什么不同）