



明德扬  
科技·教育

# 点拨 · FPGA之 三态门

点透学习误区 拨出设计精髓

主 讲：潘文明

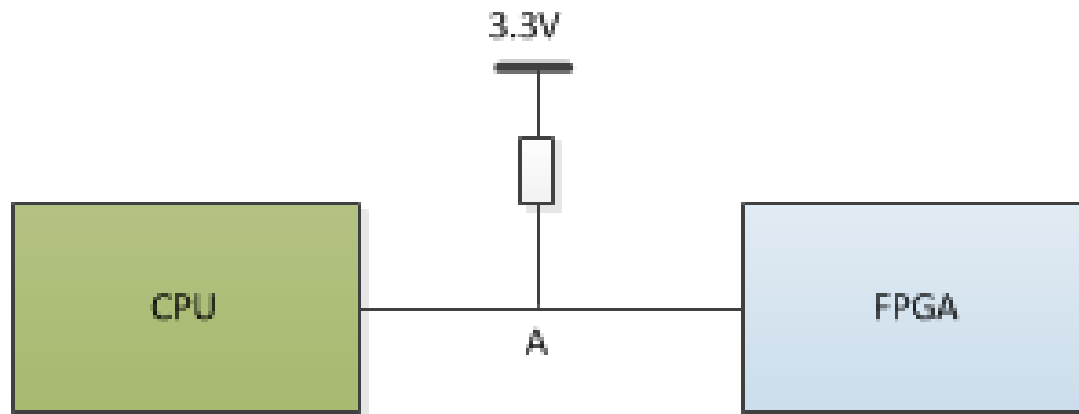


**QQ群: 97925396**

**官 网: <http://www.mdy-edu.com>**

**淘 宝: <http://mdy-edu.taobao.com>**

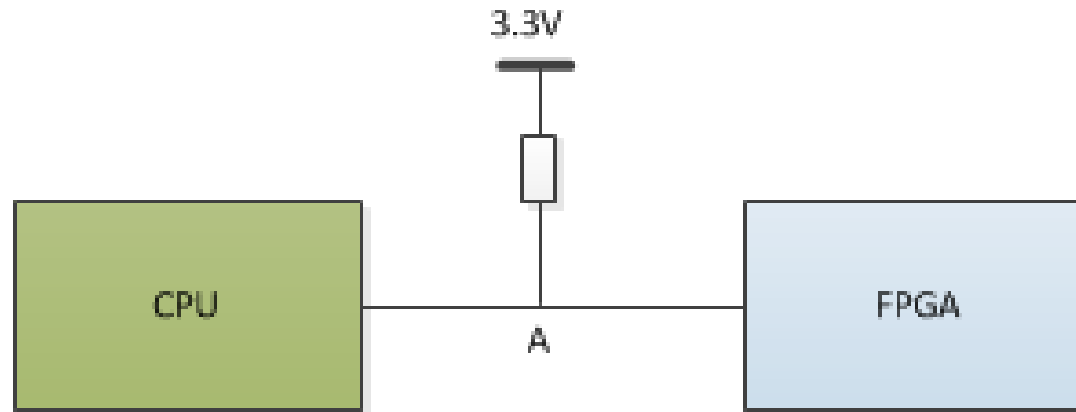
# 电路连接



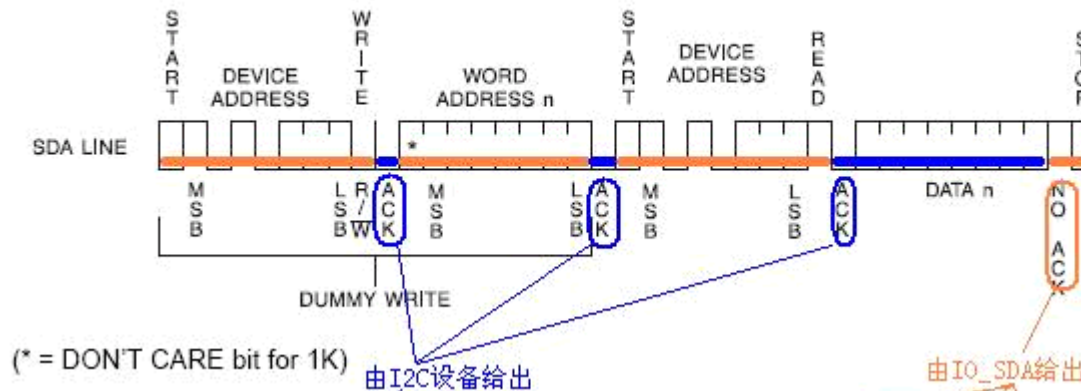
1. 当CPU和FPGA的管脚都不驱动线时，A的值是多少？
2. 当CPU驱动线为1和0，FPGA不驱动时，A的值是多少？
3. 当FPGA驱动线为1和0，CPU不驱动时，A的值是多少？
4. 当FPGA驱动线为1，CPU驱动线为0时，A的值时多少？

**FPGA和CPU不能同时驱动总线**

# 电路连接

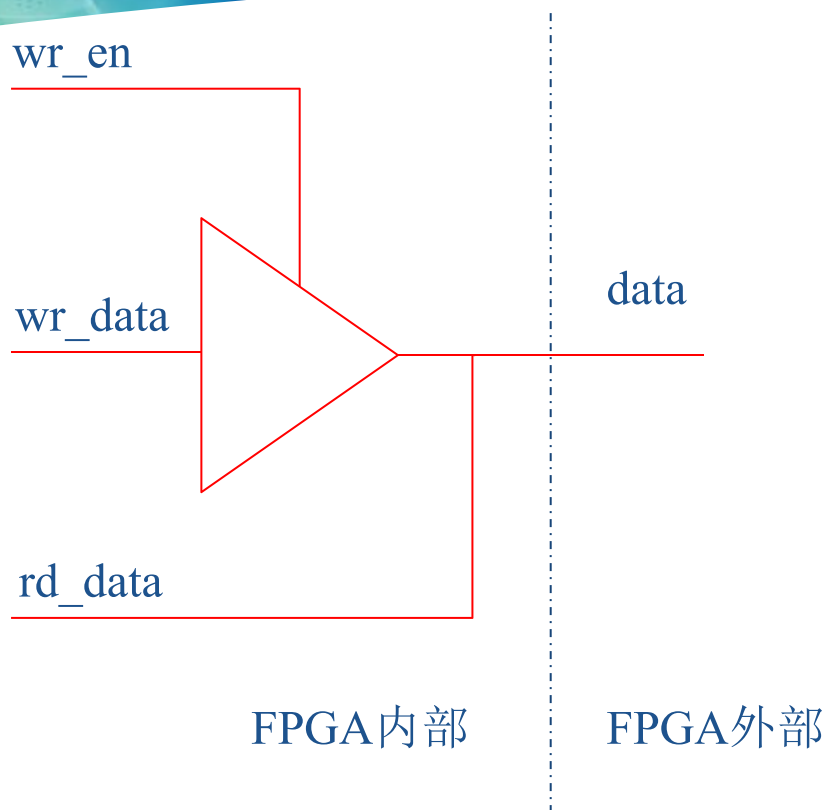


Random Read



双方约定好驱动时间

# FPGA三态门结构



```
inout    data;  
  
data     = wr_en?wr_data: 1'bz;  
rd_data  = data;
```

1. FPGA会自动将上面代码综合成三态门
2. 三态门只用于管脚中，因此FPGA内部代码不准有x态、Z态。
3. 后续练习，都会有上面几个相似信号，请牢记三态门结构

# 明德扬科教



**QQ群: 97925396**

**官 网: <http://www.mdy-edu.com>**

**淘 宝: <http://mdy-edu.taobao.com>**



# Thank You !

